

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

Jae-hee CHO et al

Application No.: Unassigned

Filing Date: November 21, 2003

Title: SEMICONDUCTOR LIGHT EMITTING DIODE AND METHOD FOR MANUFACTURING THE SAME

Group Art Unit: Unassigned

Examiner: Unassigned

Confirmation No.: Unassigned

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following priority foreign application(s) in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

Country: Republic of Korea

Patent Application No(s): 2003-25084

Filed: April 21, 2003

In support of this claim, enclosed is a certified copy(ies) of said foreign application(s). Said prior foreign application(s) is referred to in the oath or declaration. Acknowledgment of receipt of the certified copy(ies) is requested.


Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

Date: November 21, 2003

By



Charles F. Wieland III
Registration No. 33,096

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0025084
Application Number

출원년월일 : 2003년 04월 21일
Date of Application APR 21, 2003

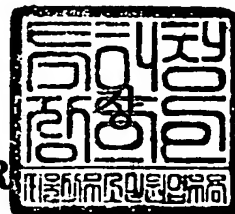
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 13 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.04.21
【국제특허분류】	H01L
【발명의 명칭】	반도체 발광 다이오드 및 그 제조방법
【발명의 영문명칭】	Semiconductor type light emitting diode and manufacturing method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	조제희
【성명의 영문표기】	CHO, Jae Hee
【주민등록번호】	710210-1047829
【우편번호】	442-813
【주소】	경기도 수원시 팔달구 영통동 1039-12번지 105호
【국적】	KR
【발명자】	
【성명의 국문표기】	김현수
【성명의 영문표기】	KIM, Hyun Soo
【주민등록번호】	741006-1852521

【우편번호】 449-901

【주소】 경기도 용인시 기흥읍 농서리 삼성종합기술원 기숙사

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이영
필 (인) 대리인
이해영 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	1 면	1,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	30,000 원	

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

개시된 반도체 발광 다이오드는, 기판, 이 기판 상에 차례로 마련된 n형 반도체층, 활성층, p형 반도체층, p형 반도체층 상에 형성되는 제1금속층과 이 제1금속층 상에 형성되어 활성층에서 발생된 광을 반사시키는 제2금속층을 구비하는 p형 전극을 포함한다. 이와 같은 구성에 의해 제1금속층과 제2금속층이 상호 보완적으로 작용함으로써 반도체 발광 다이오드의 동작전압을 낮추고 광추출효율을 증가시킬 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

반도체 발광 다이오드 및 그 제조방법{Semiconductor type light emitting diode and manufacturing method thereof}

【도면의 간단한 설명】

도 1은 종래의 반도체 발광 다이오드를 개략적으로 도시한 단면도.

도 2는 본 발명에 따른 반도체 발광 다이오드의 일 실시예를 도시한 단면도.

도 3은 도 2에 도시된 실시예에 따른 반도체 발광 다이오드의 열처리 특성을 도시한 그래프.

도 4는 도 2에 도시된 실시예에 따른 p형 전극에 의한 접촉저항을 측정한 그래프.

도 5는 도 2에 도시된 실시예에 따른 p형 전극에 의한 광반사율을 측정한 그래프.

도 6은 도 2에 도시된 실시예에 따른 반도체 발광 다이오드에 의한 광출력을 도시한 그래프.

도 7은 도 2에 도시된 실시예에 따른 반도체 발광 다이오드에 의한 방사광속을 측정한 그래프.

<도면의 주요부분에 대한 부호의 설명>

10.....기판

20.....n형 반도체층

21.....버퍼층

22.....제1클래드층

30.....활성층

40.....p형 반도체층

41.....제2클래드층

42.....캡층

50.....p형 전극

51.....제1금속층

52.....제2금속층

60.....n형 전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <15> 본 발명은 반도체 발광 다이오드 및 그 제조방법에 관한 것으로서, 더욱 상세하게는 p형 전극의 구조를 변화시킴으로써 발광량을 증가시킨 반도체 발광 다이오드 및 그 제조방법에 관한 것이다.
- <16> 반도체 발광 다이오드는 광통신 등과 같은 통신 분야나 컴팩 디스크 플레이어(CDP)나 디지털 다기능 디스크 플레이어(DVDP) 등과 같은 장치에서 데이터의 전송이나 데이터의 기록 및 판독을 위한 수단으로써 널리 사용되고 있으며, 대형 옥외 전광판, LCD의 백라이트 등으로 응용범위를 넓혀가고 있다.
- <17> 도 1은 종래의 반도체 발광 다이오드를 개략적으로 도시한 단면도이다.
- <18> 도 1을 참조하면, 사파이어 기판(1)의 상면에 n형 반도체층(2), 광이 생성되는 활성층(3), 및 p형 반도체층(4)이 구비된다. 참조부호 5와 6은 각각 n형 반도체층(2)과 p형 반도체층(4)에 각각 전기적으로 접촉되게 형성되는 n형 전극(n-contact)(5)과 p형 전극(p-contact)(6)이다.
- <19> 활성층(3)에서 발생된 광(L1)은 n형 반도체층(2), 기판(1)을 거쳐 외부로 방

출된다. 활성층(3)에서 발생된 광 중에서 방출각도가 n형 반도체층(2)과 기판(1)의 굴절률로부터 계산되는 임계각보다 큰 광(L2)은 n형 반도체층(2)과 기판(1)과의 경계면에서 반사되어, p형 전극(6)과 기판(1) 사이에서 반사를 거듭하면서 측면을 통하여 방출된다. 이 과정에서, 반사를 거듭할수록 광이 가지는 에너지는 주로 p형 전극(6)에 흡수되어 광의 세기가 급격히 감소된다.

<20> 따라서, 반도체 발광 다이오드의 광 추출 효율(light extraction efficiency)을 향상시키기 위해서는 p형 전극(6)으로서 광반사율이 높은 재료, 다시 말하면 광흡수율이 낮은 재료를 사용할 필요가 있다. p형 전극(6)의 재료는 또한 p형 반도체층(4)과 양호한 오믹(ohmic) 접합을 이룰 것이 요구된다.

<21> 광흡수율이 낮은 대표적인 금속으로는 은(Ag)을 들 수 있다. 하지만, 은(Ag)은 p형 반도체층(4)과 접합되었을 때 오믹 특성이 나쁘다. 다시 말하면 p형 반도체층(4)과의 접촉저항이 높다. 따라서, p형 전극(6)으로서 은(Ag)을 사용할 경우에는 반도체 발광 다이오드를 동작시키기 위해서 높은 구동전압이 요구된다. 또한, 은(Ag)은 특히 p형 및 n형 반도체층(2)(4)으로서 많이 사용되는 III-V족 질화물 반도체층과의 접착력이 나쁘다는 단점이 있다.

<22> 미국 공개특허공보 6,486,499호(이하, 선행문헌이라 한다)를 보면, p형 전극으로서 높은 반사율을 갖는 금속재료 예를 들면 은(Ag)을 사용하면서 오믹 특성을 개선하기 위해 p형 전극과 서브마운트와의 접촉 면적을 크게 하는 방안이 개시되어 있다. 이 경우 반도체 발광 다이오드의 크기가 커져서 웨이퍼 한 장당 제작될 수 있는 반도체 레이저 다이오드의 수가 줄어들게 되는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <23> 본 발명은 상기한 문제점을 해결하기 위해 창출된 것으로서, 상보적인 특성을 갖는 두 개의 금속층을 구비한 p형 전극을 채용함으로써 높은 광 추출 효율을 얻을 수 있도록 개선된 반도체 발광 다이오드 및 그 제조방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <24> 상술한 목적을 달성하기 위한 본 발명의 반도체 발광 다이오드는, 기판과, 이 기판 상에 차례로 마련된 n형 반도체층, 활성층, p형 반도체층; 상기 p형 반도체층 상에 형성되는 제1금속층과, 상기 제1금속층 상에 형성되어 상기 활성층에서 발생된 광을 반사시키는 제2금속층을 구비하는 p형 전극;을 포함한다.

- <25> 또한, 본 발명에 따른 반도체 발광 다이오드의 제조방법은, (a) 기판 상에 n형 반도체층, 활성층, p형 반도체층을 차례로 적층시키는 단계; 및 (b) 상기 p형 반도체층 상에 p형 반도체층과 전기적으로 접촉되는 p형 전극을 형성하는 단계;를 포함하며, 상기 (b)단계는, 상기 p형 반도체층 위에 제1금속과 제2금속을 차례로 적층하여 상기 p형 반도체층과 오믹 접합되는 제1금속층과 광을 반사시키는 제2금속층을 각각 형성하는 단계를 포함하며, 산소가 없는 분위기에서 80 내지 350℃ 의 온도로 열처리하여 상기 제1 및 제2금속층을 안정시키는 단계;를 더 포함하는 것이 바람직하다.

- <26> 상술한 반도체 발광 다이오드 및 그 제조방법에 있어서, 상기 제1금속층은 팔라듐(Pd), 백금(Pt), ITO(Indium Tin Oxide) 중에서 선택된 어느 하나의 금속으로 형성될 수 있으며, 상기 제2금속층은 은(Ag), 알루미늄(Al) 중에서 선택된 어느 하나의 금속으로 형성될 수 있다.

- <27> 상기 제1금속층의 두께는 1 내지 10nm 정도인 것이 바람직하며, 상기 제2금속층의 두께는 50nm이상인 것이 바람직하다.
- <28> 상기 n형 반도체층, 활성층, 및 p형 반도체층은 GaN 계열의 III-V 족 질화물계 화합물인 것이 바람직하며, 상기 활성층은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$ 그리고 $x+y \leq 1$) 계열의 n형 물질층 또는 도핑되지 않은 물질층인 것이 바람직하다.
- <29> 이하 첨부한 도면을 참조하면서 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- <30> 도 2는 본 발명에 따른 반도체 발광 다이오드의 일 실시예를 도시한 단면도이다. 도 2를 보면, 기판(10)의 상부에 순차적으로 n형 반도체층(20), 활성층(30) 및 p형 반도체층(40)이 적층된다.
- <31> 기판(10)은 고저항성 기판으로 사파이어 기판이 주로 이용되고, Si, SiC, GaN 기판들이 이용될 수 있다.
- <32> n형 반도체층(20)은 기판(10) 상면으로부터 차례로 적층 형성되는 버퍼층(21), 제1클래드층(22)을 포함한다. p형 반도체층(40)은 활성층(30)의 상면으로부터 차례로 적층 형성되는 제2클래드층(41), 및 캡층(42)을 포함한다.
- <33> 버퍼층(21)은 GaN계열의 III-V족 질화물계 화합물 반도체로 이루어진 n형 물질층 또는 언 도프트(Undoped) 물질층으로서, n-GaN층인 것이 바람직하다.
- <34> 캡층(42)은 GaN계열의 III-V족 질화물계 화합물 반도체층으로서, p형 도전성 불순물이 도핑된 직접 천이형인 것이 바람직하고, 그 중에서도 p-GaN층이 더욱 바람직하다

또한, 버퍼층(21)과 마찬가지로 GaN층, 알루미늄(Al)이나 인듐(In)을 소정의 비율로 함유하는 AlGaIn층 또는 InGaIn층일 수 있다.

<35> 제1클래드층(22)은 n-AlGaIn/GaN층인 것이 바람직하며, 제2클래드층(41)은 도핑 물질이 p형인 것을 제외하고는 제1클래드층(22)과 동일한 물질층이다.

<36> 활성층(30)은 전자-정공 등의 캐리어 재결합에 의해 광 방출이 일어나는 물질층으로서, 다중 양자 우물(MQW: Multi Quantum Well) 구조를 갖는 GaN계열의 III-V족 질화물계 화합물 반도체층이 바람직하며, 그 중에서도 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$ 그리고 $x+y \leq 1$)층인 것이 더욱 바람직하다. 이외에 활성층(30)은 GaN계열의 III-V족 질화물계 화합물 반도체층에 인듐(In)을 소정의 비율로 함유하는 물질층, 예를 들면 InGaIn층일 수 있다.

<37> 도면에는 도시되지 않았지만, 활성층(30)의 상하에는 제1도파로층 및 제2도파로층이 더 적층되어 활성층(30)에서 방출되는 광을 증폭시킴으로써 증가된 광강도를 가지는 광으로 발전시킬 수 있다. 제1 및 제2도파로층은 활성층(30)보다 굴절률이 작고, 각각 제1클래드층(22) 및 제2클래드층(31)보다는 굴절률이 큰 물질로 형성하는데, 예를 들어 GaN 계열의 III-V족 화합물 반도체층으로 형성하는 것이 바람직하다. 제1도파로층은 n-GaN층으로, 제2도파로층은 p-GaN층으로 형성한다.

<38> p형 전극(50)과 n형 전극(60)은 각각 p형 반도체층(40)과 n형 반도체층(20)과 전기적으로 접촉되도록 형성된다.

<39> 상술한 바와 같은 구성에 의해, n형 전극(60)을 통해서 n형 반도체층(20)으로는 전자를 주입하고 p형 전극(50)을 통해서 p형 반도체층(40)으로는 정공을 주입한다. 주입된

전자와 정공은 활성층(30)에서 만나 소멸하면서 단파장 대역의 광을 발진시킨다. 파장 대역에 따라 발광되는 광의 색깔이 달라지는데, 파장대역은 반도체 발광 다이오드를 형성하는 물질에 의한 전도대와 가전자대 사이의 에너지폭에 의해 결정된다.

- <40> 활성층(30)에서 발생된 광은 n형 반도체층(20), 기판(10)을 거쳐 외부로 방출된다. 활성층(30)에서 발생된 광 중에서 방출각도가 n형 반도체층(20)과 기판(10)의 굴절률로부터 계산되는 임계각보다 큰 광은 n형 반도체층(20)과 기판(10)과의 경계면에서 반사되어, p형 전극(50)과 기판(10) 사이에서 반사를 거듭하면서 측면을 통하여 방출된다.
- <41> 본 실시예 따른 p형 전극(50)은 p형 반도체층(40)과의 접촉저항이 낮아서 p형 반도체층(40)과 양호한 오믹 접합을 이루는 제1금속과 활성층(30)에서 발생된 광의 세기를 감소시키지 않으면서 잘 반사시키는 광반사율이 높은 제2금속을 함께 사용함으로써 상보적으로 작용하여 각 금속의 단점을 보완할 수 있도록 형성되는데 그 특징이 있다.
- <42> 이를 위해 p형 전극(50)은 p형 반도체층(20)과 양호한 오믹 접합을 이루는 제1금속층(51)과 광반사율이 높은 제2금속층(52)을 구비한다.
- <43> 제1 및 제2금속층(51)(52)은 캡층(42) 위에 제1금속과 제2금속을 차례로 적층함으로써 형성된다. 제1금속층(51)은 캡층(42)과 오믹 접합되는 것으로서, 반도체 발광 다이오드를 구동시키기 위한 구동전압을 낮추기 위해서는 캡층(42)과의 접촉저항이 가능한 한 낮은 금속으로 형성되는 것이 바람직하다. 또한, 제1금속층(51)은 캡층(42)과의 접촉저항이 적어도 제2금속보다는 낮은 금속으로 형성되는 것이 바람직하다. 제2금속층(52)은 활성층(30)에서 발생된 광을 반사시키는 것으로서, 광반사율이 적어도 제1금속보다는 높은 금속으로 형성되는 것이 바람직하다. 제1금속은 팔라듐(Pd), ITO(indium tin

oxide), 백금(Pt) 중 어느 하나인 것이 바람직하다. 제2금속은 은(Ag), 알루미늄(Al) 중 어느 하나인 것이 바람직하다.

<44> 이와 같이, 제1 및 제2금속층(51)(52)을 형성한 후에는 산소가 없는 분위기에서 열처리하여 제1 및 제2금속층(51)(52)을 안정시키는 것이 바람직하다. 열처리 과정을 거치면, 제1금속층(51)은 캡층(42)과 양호하게 오믹 접합되며, 제2금속층(52)은 안정적인 고용체가 된다.

<45> 도 3은 본 실시예에 따른 반도체 발광 다이오드의 열처리 특성을 도시한 그래프이다. 본 그래프는 p형 전극(50)의 제1금속층(51)으로서는 팔라듐(Pd), 제2금속층(52)으로서는 은(Ag)을 사용한 경우, 열처리 온도와 반도체 발광 다이오드의 동작전압과의 관계를 도시한 것이다. 열처리 시간은 1분, 공급전류는 20mA, 발광 파장은 392nm이다.

<46> 도 3을 보면, 열처리 온도가 약 200℃ 정도일 경우에 동작전압이 약 3.2V 정도로서 가장 낮고, 열처리 온도가 증가됨에 따라 동작전압이 증가하여 열처리 온도가 약 280℃가 되면 동작전압이 약 3.6V가 된다. 비록 그래프에는 더 도시되지 않았지만, 이와 같은 결과로 볼 때 본 실시예의 열처리 온도는 80 내지 350℃ 정도인 것이 바람직하다. 이는 양호한 오믹 접합을 이루기 위해 실시하는 통상적인 열처리 온도가 400℃ 이상인 것과는 상이한 것이다.

<47> 제1금속층(51)의 두께는 제1금속이 금속 자체의 특성을 유지할 수 있는 최소 두께 이상일 것이 요구되며, 1 내지 10nm 정도인 것이 바람직하다. 제2금속층(52)의 두께는 광이 제2금속층(52)을 투과하지 않을 정도의 두께일 것이 요구되며, 50nm 이상인 것이 바람직하다.

<48> 도 4는 본 실시예에 따른 p형 전극(50)에 의한 접촉저항을 측정한 그래프이다.

Pd:100nm과 Ag:100nm은 종래의 p형 전극으로서 팔라듐(Pd)을 100nm로 적층한 경우 (Pd:100nm)와 은(Ag)을 100nm로 적층한 경우(Ag:100nm)의 접촉저항을 각각 표시한 것이다. Pd/Au, Pd/Al, Pd/Ag는, 팔라듐(Pd)을 5nm 두께로 적층한 제1금속층(51)과, 은(Ag), 알루미늄(Al), 금(Au)을 100nm 두께로 적층한 제2금속층(52)을 구비하는 본 실시예에 따른 p형 전극(50)들의 접촉저항을 각각 표시한 것이다.

<49> 도 5는 본 실시예에 따른 p형 전극(50)에 의한 광반사율을 측정한 그래프이다.

Ag:ref는 100nm 두께의 은(Ag) 단일층으로 이루어진 종래의 p형 전극을 표시한 것이다. Pd/Al, Pd/Ag, Pd/Au는 팔라듐(Pd)을 5nm 두께로 적층하고 그 위에 각각 알루미늄(Al), 은(Ag), 금(Au)을 100nm 두께로 적층한 본 실시예에 따른 p형 전극(50)들을 표시한 것이다. 본 그래프는 Ag:ref로 표시된 종래의 p형 전극의 광반사율을 1로 보고, 본 실시예에 따른 p형 전극(50)들의 상대적인 광반사율을 도시한 것이다. 그래프에서 퍼센트(%)로 표시된 숫자는 발광파장이 400nm인 경우의 상대적인 광반사율을 표시한 것이다.

<50> 도 4와 도 5를 보면, 은(Ag)의 경우에는 광반사율은 가장 높는데 반해 p형 반도체층(40)과의 접촉저항은 가장 커서 p형 반도체층(40)과 양호한 오믹 접합을 이루지 못한다. 또한, 팔라듐(Pd)은 p형 반도체층(40)과의 접촉저항은 가장 작아서 p형 반도체층(40)과 양호한 오믹 접합을 이루는데 반해 광반사율은 은(Ag)의 43%에 불과하여 광추출 효율을 저하시키는 요인이 된다. 따라서, p형 전극(50)을 형성함에 있어서 상기한 금속 중 어느 하나만을 사용하는 경우에는 양호한 오믹 특성과 높은 광반사율을 동시에 얻을 수가 없다.

<51> 하지만, 본 실시예에 따른 p형 전극(50)은 p형 반도체층(40)과 양호한 오믹 접합을 이루는 제1금속으로 형성된 제1금속층(51)과 높은 광반사율을 갖는 제2금속으로 형성된 제2금속층(52)을 구비함으로써 양호한 오믹 특성과 높은 광반사율을 동시에 얻을 수 있다. 도 4와 도 5를 보면, p형 전극(50)으로서 Pd/Au, Pd/Al, Pd/Ag 조합을 사용하는 경우의 접촉저항은 팔라듐(Pd)만을 사용하는 경우의 접촉저항과 거의 비슷해지며, 은(Ag)만을 사용하는 경우보다 대폭 개선된 것을 알 수 있다. 또, p형 전극(50)으로서 Pd/Ag, Pd/Al 조합을 사용하는 경우에 광반사율이 각각 은(Ag)만을 사용하는 경우의 72%, 82%에 육박하여 팔라듐(Pd)만을 사용하는 경우의 52%에 비해 대폭 개선된 것을 알 수 있다. 다만, Pd/Au 조합의 경우의 광반사율은 팔라듐(Pd)만을 사용하는 경우에 비해 광과장이 약 300-500nm 영역에서는 낮고 약 500nm 이상인 영역에서는 높다.

<52> 도 6은 본 실시예에 따른 반도체 발광 다이오드에 의한 광출력을 도시한 그래프이다.

<53> 본 그래프는 팔라듐(Pd)을 100nm 두께로 적층한 p형 전극을 사용하는 경우 (Pd:100nm)와 팔라듐(Pd)과 은(Ag)을 각각 5nm, 100nm 두께로 적층한 본 실시예에 따른 p형 전극(50)을 사용하는 경우(Pd/Ag:5/100nm)에 공급된 전류에 따른 광출력과 동작전압을 표시한 것이다. 여기서 광출력은 반도체 발광 다이오드로부터 출사된 광을 광센서로 검출하여 이 광센서의 출력 전류값으로서 표시한 것이다. 따라서, 본 그래프에서의 광출력은 절대적인 의미를 가지지는 않으며 비교를 위한 상대적인 의미를 갖는다.

<54> 도 6을 보면, 동작전압은 거의 유사하여, Pd/Ag 조합의 경우에도 팔라듐(Pd)만을 사용하는 경우와 거의 유사한 접촉저항을 가짐을 확인할 수 있다. 다시 말하면, 은(Ag)만을 사용하는 경우에 비해 낮은 전압에서 동작될 수 있다. 따라서, 선행문헌(US

6,486,499호)에서와 같이 p형 전극과 p형 반도체층과의 접촉저항을 줄이기 위해 p형 전극과 p형 반도체층과의 접촉면적을 크게 할 필요가 없다.

<55> 또한, 공급전류가 약 20mA일 때, Pd/Ag 조합의 경우 광출력이 팔라듐(Pd)만을 사용하는 경우에 비해 약 28%정도 증가된 것일 확인할 수 있다.

<56> 도 7은 본 실시예에 따른 반도체 발광 다이오드에 의한 방사광속(radiant flux)을 측정한 그래프이다. 본 그래프는 파장이 약 392nm인 광을 방출하는 경우에 측정된 것이다.

<57> 도 7을 보면, 팔라듐(Pd)과 은(Ag)을 각각 5nm, 100nm 두께로 적층한 p형 전극(50)을 사용하는 경우(Pd/Ag:5/100nm)에 팔라듐(Pd)을 100nm 두께로 적층한 종래의 p형 전극을 사용하는 경우(Pd:100nm)보다 방사광속이 약 12% 증가된 것을 확인할 수 있다.

【발명의 효과】

<58> 상술한 바와 같이 본 발명에 따른 반도체 발광 다이오드에 의하면, p형 반도체층과의 접촉저항이 낮고 동시에 광반사율이 높은 p형 전극을 구비함으로써 동작전압을 낮추고 광추출효율을 증가시킬 수 있다.

<59> 본 발명은 상기에 설명되고 도면에 예시된 것에 의해 한정되는 것은 아니며, 다음에 기재되는 청구의 범위 내에서 더 많은 변형 및 변용예가 가능한 것임은 물론이다.

【특허청구범위】**【청구항 1】**

기판과, 이 기판 상에 차례로 마련된 n형 반도체층, 활성층, p형 반도체층;

상기 p형 반도체층 상에 형성되는 제1금속층과, 상기 제1금속층 상에 형성되어 상기 활성층에서 발생된 광을 반사시키는 제2금속층을 구비하는 p형 전극;을 포함하는 반도체 발광 다이오드.

【청구항 2】

제1항에 있어서,

상기 제1금속층은 상기 p형 반도체층과의 접촉저항이 상기 제2금속층보다 작으며, 상기 제2금속층은 광반사율이 상기 제1금속층보다 높은 것을 특징으로 하는 반도체 발광 다이오드.

【청구항 3】

제2항에 있어서,

상기 제1금속층은 팔라듐(Pd), 백금(Pt), ITO(Indium Tin Oxide) 중에서 선택된 어느 하나의 금속으로 형성되는 것을 특징으로 하는 반도체 발광 다이오드.

【청구항 4】

제3항에 있어서,

상기 제1금속층의 두께는 1 내지 10nm 인 것을 특징으로 하는 반도체 발광 다이오드.

【청구항 5】

제2항에 있어서,

상기 제2금속층은 은(Ag), 알루미늄(Al) 중에서 선택된 어느 하나의 금속으로 형성되는 것을 특징으로 하는 반도체 발광 다이오드.

【청구항 6】

제5항에 있어서,

상기 제2금속층의 두께는 50nm이상인 것을 특징으로 하는 반도체 발광 다이오드.

【청구항 7】

제1항에 있어서,

상기 제1금속층과 제2금속층은 산소가 없는 분위기에서 80 내지 350℃ 온도로 열처리되는 것을 특징으로 하는 반도체 발광 다이오드.

【청구항 8】

제1항에 있어서,

상기 n형 반도체층, 활성층, 및 p형 반도체층은 GaN 계열의 III-V 족 질화물계 화합물인 것을 특징으로 하는 반도체 발광 다이오드.

【청구항 9】

제8항에 있어서,

상기 활성층은, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$ 그리고 $x+y \leq 1$) 계열의 n형 물질층 또는 도핑되지 않은 물질층인 것을 특징으로 하는 반도체 발광 다이오드.

【청구항 10】

(a) 기판 상에 n형 반도체층, 활성층, p형 반도체층을 차례로 적층시키는 단계; 및

(b) 상기 p형 반도체층 상에 상기 p형 반도체층과 전기적으로 접촉되는 p형 전극을 형성하는 단계;를 포함하며,

상기 (b)단계는,

상기 p형 반도체층 위에 제1금속과 제2금속을 차례로 적층하여, 상기 p형 반도체층과 오믹 접촉되는 제1금속층과 광을 반사시키는 제2금속층을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 발광 다이오드의 제조방법.

【청구항 11】

제10항에 있어서,

상기 (b)단계는,

산소가 없는 분위기에서 80 내지 350℃ 의 온도로 열처리하여 상기 제1 및 제2금속층을 안정시키는 단계;를 더 포함하는 것을 특징으로 하는 반도체 발광 다이오드의 제조방법.

【청구항 12】

제10항에 있어서,

상기 제1금속은 상기 p형 반도체층과의 접촉저항이 상기 제2금속보다 작으며, 상기 제2금속은 광반사율이 상기 제1금속보다 높은 것을 특징으로 하는 반도체 발광 다이오드의 제조방법.

【청구항 13】

제12항에 있어서,

상기 제1금속은 팔라듐(Pd), 백금(Pt), ITO(Indium Tin Oxide) 중에서 선택된 어느 하나인 것을 특징으로 하는 반도체 발광 다이오드의 제조방법.

【청구항 14】

제13항에 있어서,

상기 제1금속층의 두께는 1 내지 10nm 인 것을 특징으로 하는 반도체 발광 다이오드의 제조방법.

【청구항 15】

제12항에 있어서,

상기 제2금속은 은(Ag), 알루미늄(Al) 중에서 선택된 어느 하나인 것을 특징으로 하는 반도체 발광 다이오드의 제조방법.

【청구항 16】

제15항에 있어서,

상기 제2금속층의 두께는 50nm이상인 것을 특징으로 하는 반도체 발광 다이오드의 제조방법.

【청구항 17】

제10항에 있어서,

상기 n형 반도체층, 활성층, 및 p형 반도체층은 GaN 계열의 III-V 족 질화물계 화합물인 것을 특징으로 하는 반도체 발광 다이오드의 제조방법.

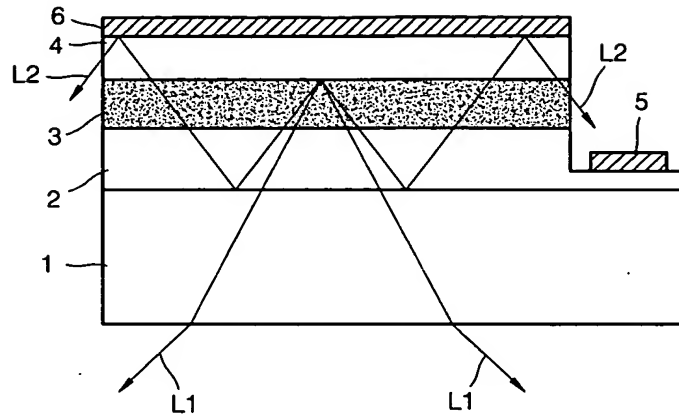
【청구항 18】

제17항에 있어서,

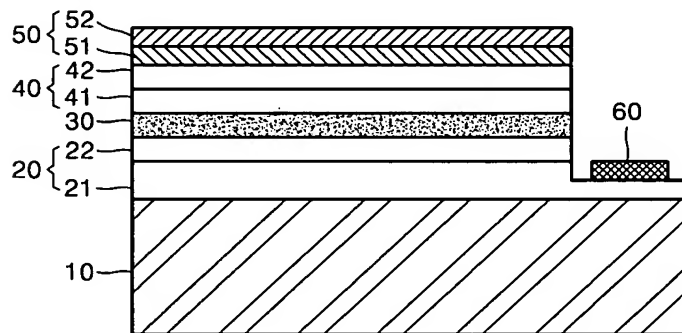
상기 활성층은, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$ 그리고 $x+y \leq 1$) 계열의 n형 물질층 또는 도핑되지 않은 물질층인 것을 특징으로 하는 반도체 발광 다이오드의 제조방법.

【도면】

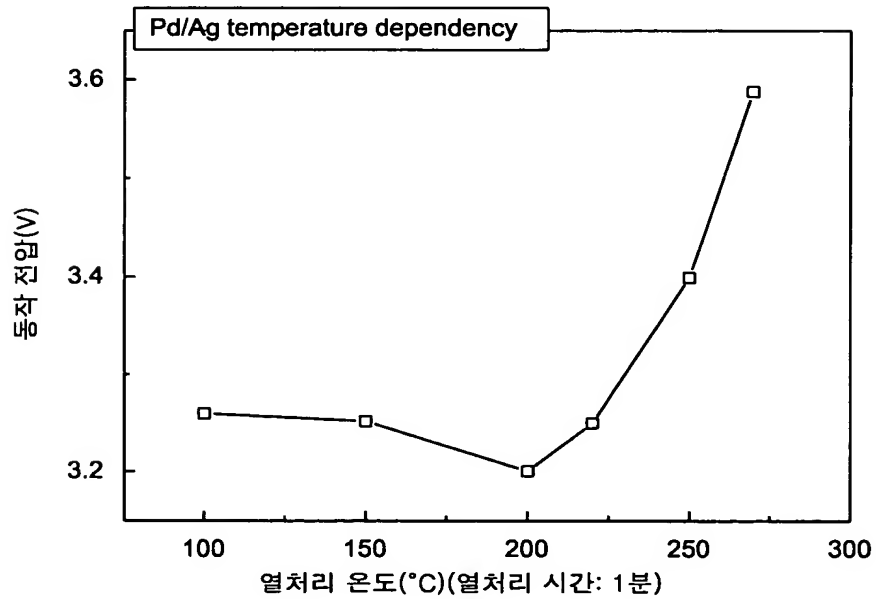
【도 1】



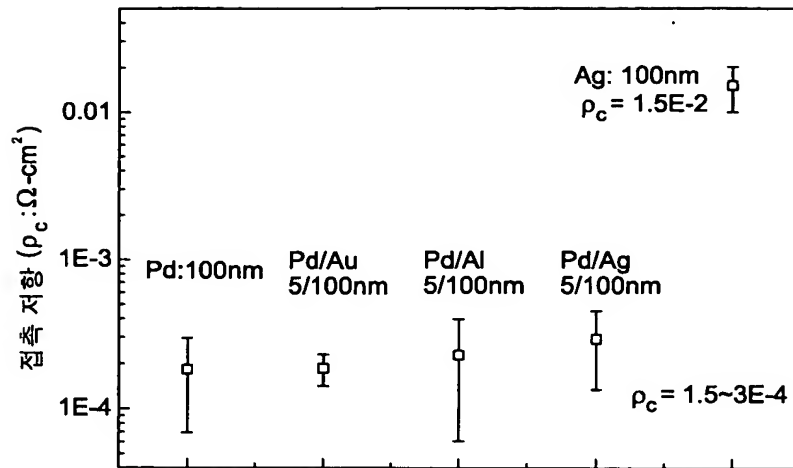
【도 2】



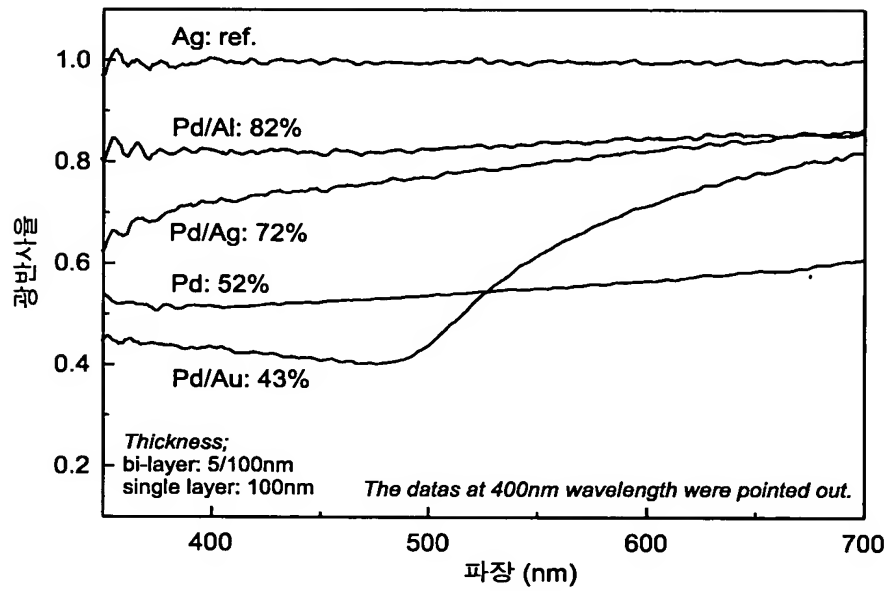
【도 3】



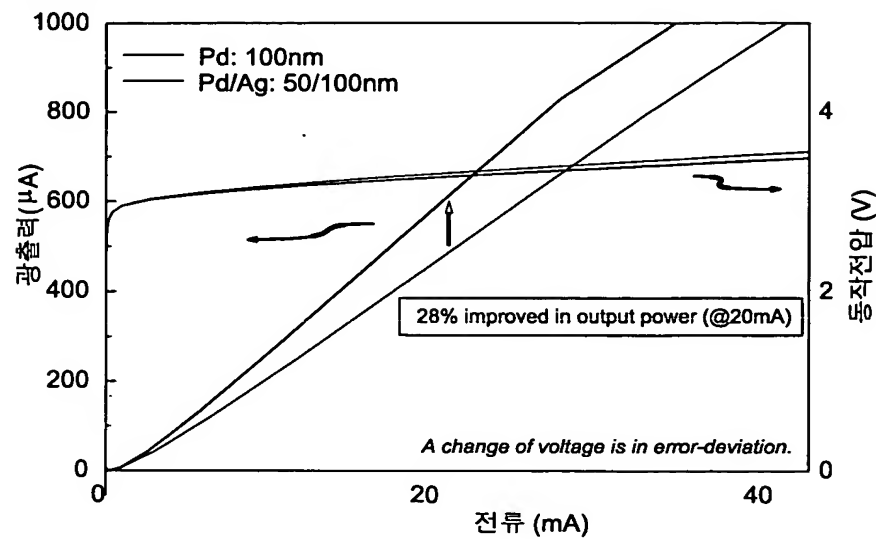
【도 4】



【도 5】



【도 6】



【도 7】

